

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭57-180182

⑯ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
G 11 C 11/40  
H 01 L 27/10

識別記号

101

厅内整理番号  
7514-5F  
6549-5B  
6749-5F

⑯ 公開 昭和57年(1982)11月6日  
発明の数 1  
審査請求 未請求

(全 3 頁)

④ 半導体不揮発性記憶装置

⑤ 特 願 昭56-65503  
⑥ 出 願 昭56(1981)4月30日  
⑦ 発明者 土屋真平

川崎市中原区上小田中1015番地  
富士通株式会社内

⑧ 出願人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑨ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

半導体不揮発性記憶装置

2. 特許請求の範囲

1. 一導電型の半導体基板と、該基板に互いに離隔して設けられた前記基板と逆導電型のソース及びドレン領域と、該基板上の第一層絶縁膜と、該絶縁膜上のフローティングゲートと、該フローティングゲート上の第二層絶縁膜と、該第二層絶縁膜上のコントロールゲートとを具備しており、該第二層絶縁膜が強誘電体で構成されており、この強誘電体の分極の反転により書き込み、消去を行なうことを特徴とする半導体不揮発性記憶装置。

2. 第一層絶縁膜がドレン領域上で他部より薄くなっていることを特徴とする特許請求の範囲第1項記載の半導体不揮発性記憶装置。

3. 発明の詳細を説明

本発明は強誘電体層を利用した半導体装置、特に電気的に書き変え可能な半導体不揮発性記憶装

置に関する。

従来、半導体不揮発性記憶装置としては、大別して MNOS 構造の様に界面のトラップにトンネル電流により電荷を出し入れするものと、FAMOS 構造の様にフローティングゲートにホットキャリアを注入するものとの二種類があった。MNOS 型のものでは 20 ~ 30 Å 程度のトンネル膜を使う為、製造が困難であり又記憶保持特性が不充分である。一方、FAMOS 構造のものでは、記憶保持特性は優れているがフローティングゲートへの電荷注入効率が小さい為に書き込み消去の際に多大の電流を必要とする。二つの構造の欠点を克服する為に、第1図に示すような強誘電体を使った半導体不揮発性記憶装置が特公昭55-36194号に提案されている。

以下、簡単にこの装置を説明すると、絶縁ゲート電界効果トランジスタの構造であり、1はN型シリコン基板、2、3はP型のソース、ドレン領域、9は1 μm程度の厚さの強誘電体膜で、例えばCVD法により被覆されたチタン酸バリウム

基板表面のチャネルモビリティーを高く保つことが困難である。

それ故、本発明は強誘電体を使った半導体不揮発性記憶装置において、書き込み／消去を単極性の電源で行なわしめ、かつチャネルモビリティーを通常のMOSプロセスによる素子と同程度に保つことが可能な新規な構造を提案するものである。以下本発明実施例につき説明する。第2図は本発明による第一の実施例の構造断面図である。1はP型シリコン基板、2、3はn型のソース、ドレン領域、9は1μm程度の厚さの強誘電体膜で、例えばCVD法により被覆されたチタン酸バリウムから成る。6はポリシリコン等から成るゲート電極、7はソース電極、8はドレン電極、5はポリシリコン等から成るフローティングゲート、4はシリコン酸化膜であり、チャネル部上の膜厚は約700Å、ドレン上では約300Åの膜厚を持っている。

次に本実施例の不揮発性記憶装置の動作につき説明する。書き込みの際にはドレン3に15V程

度である。6はA4等のゲート金属、7は基板1と短絡するように形成されたソース電極、8はドレン電極である。この構造での書き込み消去は次の様に行なわれる。ゲート電極6に、ソース領域2に対して負電圧を印加し、増大して行くと強誘電体膜9においてドレインの回転が生じ分極が起こる。強誘電体のヒステリシス特性の為ゲート電圧を取り去っても残留分極が存在し、これが半導体基板表面を反転しソース、ドレン間の導通が保たれる。この状態を消去する為には、ゲート電極6にソース2に対して正の電圧を加える。この電圧を増加して行くと再度ドレインが反転し、ソース、ドレンの導通が断たれる。この様な強誘電体を使った半導体不揮発性記憶装置では書き込み、消去に必要な電流はゲート容量の充電電流のみであり、低電流化が計られた。しかしこの構造では、ゲート電極6に正、負の電圧を必要とする為、集積化に伴い周辺回路や電源系が極めて複雑化し実用的ではない。又ゲート絶縁膜が通常のシリコンプロセスで使用するシリコン酸化膜ではない為、

度の電圧を印加し、ゲート6は接地電位にしておく。フローティングゲート5はドレイン3との間の容量結合をチャネル部よりも大きくしている為、ドレン3の電位に近づき、約10V程度になる。この為強誘電体9には10V程度の電圧が印加されドレインの反転が起き、チャネルはオフとなる。一方消去の際にはドレン3を接地電位に保ち、ゲート6に15V程度の電圧を印加する。書き込みと同様、フローティングゲート5の電位はドレン電位に近づきほぼ5V程度となる。この為強誘電体9にはほぼ10Vの、書き込みの際と逆向きの電圧が印加されドレインが反転しチャネルはオンとなる。この様に、正電圧のみで書き込み消去が可能になり、容易に集積化をはかることが出来る。又、チャネル上の絶縁膜はシリコン酸化膜である為チャネルモビリティーの低下は起らず、高速の読み出しが可能である。第3図は本発明による他の実施例の構造断面図である。各部の名称及び動作は第2図の構造と同じであり、フローティングゲート5とドレン3との間の重なり部の対向面積を

増すことによって、ドレン5との間の容量結合を増している。

上述した様に本発明の半導体不揮発性記憶装置では単極性の電源によって書き込み／消去が出来るが、更に1 Transistor / Cell 方式での集積化も可能になる。この際問題になるのは消去時（ゲート電圧が‘High’状態）に非選択セルの $V_{th}$ が変化する可能性であるが、これは非選択セルのドレインに $\frac{1}{2} \times V_g$ （ゲート電圧）程度の電圧を印加することによって防げる。このドレンに印加された $\frac{1}{2} V_g$ 程度の電圧では書き込みが生じないようにすることが出来る。

#### 4. 図面の簡単な説明

第1図は従来構造の強誘電体を利用した半導体不揮発性記憶装置の構造断面図。

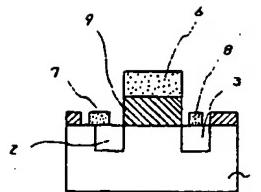
第2図は本発明による第一の実施例の、強誘電体を利用した半導体不揮発性記憶装置の構造断面図。

第3図は本発明による第二の実施例の、強誘電体を利用した半導体不揮発性記憶装置の構造断面

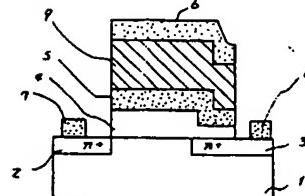
図。

2, 3 ……ソース, ドレイン領域、4 ……シリコン酸化膜、5 ……フローティングゲート、6 ……コントロールゲート、9 ……強誘電体膜。

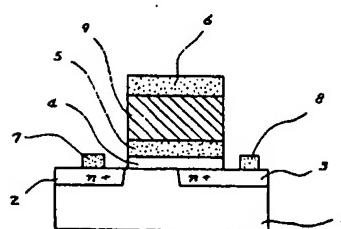
代理人弁理士 松岡宏四郎



第1図



第2図



第3図